

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 11137000
PUBLICATION DATE : 21-05-99

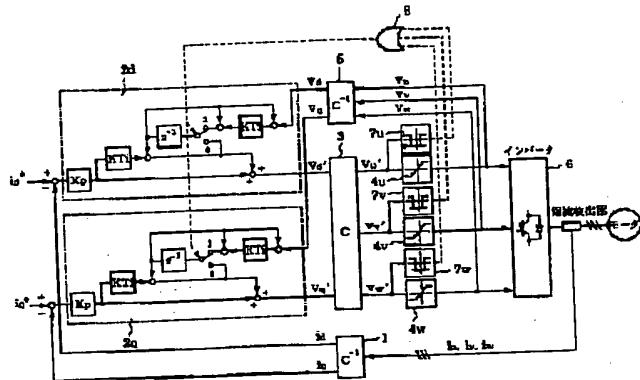
APPLICATION DATE : 30-10-97
APPLICATION NUMBER : 09298016

APPLICANT : MEIDENSHA CORP;

INVENTOR : YAMAMOTO YASUHIRO;

INT.CL. : H02P 21/00

TITLE : CONTROLLER FOR AC MACHINE



ABSTRACT : PROBLEM TO BE SOLVED: To stably control a current even though a current control operation has been saturated by the voltage saturation of a three-phase voltage command by changing a previous value to be added for integrating operation in the PI control arithmetic section to a primary delay having the time constant as same as an integrating time constant with a value after the voltage saturation as a target value.

SOLUTION: Since voltage limiter sections 4u, 4v, 4w are sufficient for three phases, window comparators 7u, 7v, 7w for detecting the saturation of respective phases in response to the above are provided. And the logical sum of the results of saturation detection of individual limiter sections 4u, 4v, 4w by the window comparators 7u, 7v, 7w is taken by an OR-gate 8; and if one of the three phases is saturated, PI control lamps 2d, 2q are switched to the primary delay side. By doing this, the current control can be stably performed even though the current control operation is saturated after the occurrence of a fluctuation such as a power voltage fluctuation at the side of the voltage limiters 4u, 4v, 4w.

COPYRIGHT: (C)1999,JPO

(19) 日本国特許庁 (JP)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平11-137000

(43)公開日 平成11年(1999)5月21日

(51) Int.Cl.⁶.

識別記号

F I
H 0 2 P 5/408

-A

(2) 出願番号 特願平9-298016

(22)出願日 平成9年(1997)10月30日

審査請求 未請求 請求項の数 1 O.L. (全 6 頁)

(71)出願人 000006105

株式会社明電舎

東京都品川区大崎 2 丁目 1 番 17 号

(72) 発明者 山本 康弘

東京都品川区大崎2丁目1番17号 株式会社明電舎内

(74) 代理人 介理士 志賀 富士弥 (外 1 名)

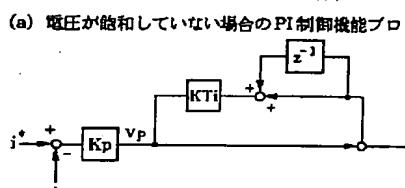
(54) [発明の名称] 交流機の制御装置

(57) 【要約】

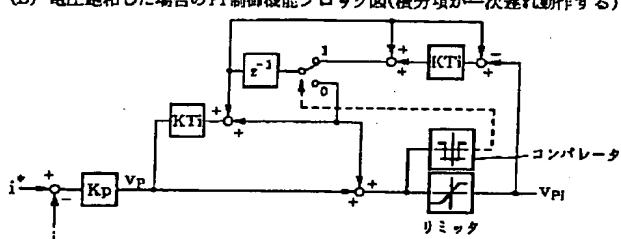
【課題】 交流機を電流制御系を有して可变速駆動する制御装置において、速度形で電流制御系を構成すると外乱などにより電圧飽和レベル自体に変動がある場合に電流制御特性が悪くなってしまう。

【解決手段】電流制御系を位置形のP I制御アンプ構成(図1のa)とし、この演算部の出力をリミッタで電源直流電圧に制限して交流機の電圧指令とし、コンバレータは電圧指令が飽和したことを検出したときに、P I制御アンプの積分演算のために加算する前回値を、電圧飽和後の値を目標値とし積分時定数と同じ一次遅れに切り替える(図1のb)。

位置形の PI 制御アンプ構成



(B) 電圧飽和した場合のPI制御機能ブロック図(電圧が一定で動作する)



【特許請求の範囲】

【請求項1】電流指令と電力増幅部の出力電流との偏差から回転座標上で構成した二軸成分の比例積分演算を行う位置形のP I制御演算部と、この演算部の出力電圧を交流機の固定子座標系に回転・固定座標変換すると共に2相/3相変換により3相電圧指令に変換する座標変換部と、この座標変換部から前記電力増幅部への出力電圧指令を該電力増幅部の電源直流電圧により発生可能な電圧リミッタ値に制限するリミッタと、負荷の電流検出値を3相/2相及び固定/回転座標変換して前記回転座標上の2軸成分に変換する座標変換部とを備えた交流機の制御装置において、

前記3相電圧指令の少なくとも1つの電圧が飽和しているか否かを検出する検出手段を設け、

前記検出手段が電圧飽和を検出したときに、前記P I制御演算部の積分演算のために加算する前回値を、電圧飽和後の値を目標値とし積分時定数と同じ時定数の一次遅れに変更するための演算手段と切り換え手段を備えたことを特徴とする交流機の制御装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、誘導電動機や同期電動機など交流機を電流制御系を有して可变速駆動する制御装置に係り、特に電流制御系の電圧飽和に対する安定化制御に関する。

【0002】

【従来の技術】交流回転機を可变速駆動する制御装置には、V/f制御方式とベクトル制御方式がある。また、交流回転機はほとんどが3相交流のものが用いられている。また、現在では、トランジスタやIGBTといった電力用半導体素子とPWM制御技術により、図5に示すような6アーム構成の電圧型インバータで3相交流電圧を発生できるようになっている。

【0003】ベクトル制御などでは3相の交流電流を制御するため、図6のように電流検出器と電流制御アンプによるフィードバック制御になる電流制御系を有して構成される。ここで、この電流制御アンプの出力可能電圧は図5の直流電解コンデンサCの電圧成分Vdcまでである。

【0004】従って、電流制御アンプの出力電圧指令がこの電圧以上になった場合には、インバータでは指令通りの電圧を出力することができなくなる。この状態を電圧飽和と呼ぶ。この電圧飽和状態が続くと、電流制御系の比例積分(P I)アンプになる電流制御アンプの積分項が積分を継続するため、電圧指令が発散してしまう。これを防止するためには、電圧飽和時のP Iアンプの動作について適切なリミット処理を行う必要がある。

【0005】また、現在ではCPUやDSP(ディジタルシグナルプロセッサ)といったディジタル演算素子の発達により、回転座標変換や極座標変換などが簡単に実

現できるようになったため、電源周波数と同期した回転座標上でP I制御演算を行うようになっている。

【0006】これは、固定子巻線に基準をとった固定座標系で電流制御を行うと、電流指令が3相交流量になるため、制御の追従遅れにより振幅と位相の定常誤差が発生してしまう。しかし、回転座標変換上では、電流指令が直流量となるため、追従遅れによる振幅と位相の定常誤差が発生しない利点があるのが適用される理由である。

【0007】このような回転座標系上に電流制御回路を構成した場合の電圧飽和時の処理方式を本願出願人は既に提案している(特開平6-269189)。この処理方式のうち、本願発明に関係する部分を図7に示す。

【0008】同図においては、回転座標系で電流制御を行うために、固定座標になる3相交流電流の検出電流i_u, i_v, i_wを座標変換部1で3相/2相変換と回転座標変換を行う。そして回転座標上で電流指令i_{d*}, i_{q*}と検出電流i_d, i_qの差を求め、これを電流制御部2_d, 2_qでP I制御演算をする。電流制御部2_d, 2_qのK_pは比例項のゲインを、KT_iは積分項のゲインを、Z⁻¹は1サンプル遅延を示す。

【0009】ここで、P I制御には位置形と速度形(差分形)と2種類の構成方法があるが、特開平6-269189では速度形を使用した場合である。電流制御部2_d, 2_qは、速度形のP Iアンプになり、比例項は前回との差分を取り、それと積分項を加算した後に、最後に積分演算を行う構成となっている。

【0010】図7では、この最終段の積分部分に特長がある。比例積分した電圧成分を固定座標系の3相電圧成分に変換するため、座標変換部3で回転座標変換と2相/3相変換とを行う。そして、3相の各相の電圧成分について、電圧リミッタ部4_u, 4_v, 4_wでV_{dc}により制限される電圧飽和値以下にそれぞれリミッタ処理を行う。さらに、リミッタ処理後の最終出力である3相電圧成分を座標変換部5で再度3相/2相変換と回転座標変換し、次回の積分に使用する。

【0011】上記の電流制御ブロック構成において、電圧リミッタ部4_u, 4_v, 4_wからインバータ6に与える制御電圧v_u, v_v, v_wは、3相の各電圧成分がV_{dc}により制限されており、ベクトル図で各相の電圧限界を描くと図8のようになる。

【0012】そのため、出力可能な電圧領域は六角形状となる。また、電流制御を行う回転座標上からみると、この六角形が回転していることになりリミット量が変動してしまう。そのため、回転座標上で電圧飽和処理を行うことは困難であり、図7のように固定座標形でリミッタ演算を行ったあと、再度回転座標系に逆変換するような構成としている。

【0013】このような構成とすることにより、正確なリミッタ演算ができるほか、速度形のP Iアンプを構成

したために電圧指令が飽和量を越える場合には、比例項を優先し積分項を減少させるように動作する。そのため、電圧飽和状態から未飽和状態に復帰した場合に積分項の戻りが速い特性も得られている。

【0014】

【発明が解決しようとする課題】従来の方式において、電流制御系を速度形で構成した場合には、電源母線の電圧変動などにより直流電圧 V_{dc} 自体が低下する場合に問題が生じる。

【0015】コンバータなどの電源母線に対して電流を制御する場合と違い、負荷がモータでありこれに流す電流を制御する場合には負荷側の逆起電力は比較的安定であり、特に誘導機では電流が急変しても二次磁束は二次時定数の遅れをもってゆっくりと変化する。そのため、電圧飽和状態でも、電流制御系の積分項はこの逆起電力相当の電圧成分を出力し続けるのが望ましく、あまり急激な変動は好ましくない。

【0016】電流制御系を速度形のP I制御アンプで構成した場合に、図9のように電圧指令が一定のままで電源電圧 V_{dc} が短時間降下した状態を考える。ここで、説明を簡単にするため、図10のような1個のP I制御アンプで説明する。

【0017】このとき、電圧リミッタ値が短時間ではあるが電流制御出力である電圧指令より低くなると、電流制御系を速度形で構成しているために電圧飽和時は比例項が優先されてしまい積分項は瞬時に低下してしまう。その後すぐに V_{dc} が元の電圧レベルに戻ると、一旦低下してしまった積分項は元の電圧レベルに戻ろうとするが、積分時定数により応答が遅くなってしまう。

【0018】このように、速度形で電流制御系を構成すると、外乱などにより電圧飽和レベル自体に変動がある場合には、かえって電流制御特性が悪くなってしまう。

【0019】本発明の目的は、電源電圧変動などにより電流制御演算が飽和した場合でも安定した電流制御特性になる交流機の制御装置を提供することにある。

【0020】

【課題を解決するための手段】本発明は、電流指令と電力増幅部の出力電流との偏差から回転座標上で構成した二軸成分の比例積分演算を行う位置形のP I制御演算部と、この演算部の出力電圧を交流機の固定子座標系に回転/固定座標変換すると共に2相/3相変換により3相電圧指令に変換する座標変換部と、この座標変換部から前記電力増幅部への出力電圧指令を該電力増幅部の電源直流電圧により発生可能な電圧リミッタ値に制限するリミッタと、負荷の電流検出値を3相/2相及び固定/回転座標変換して前記回転座標上の2軸成分に変換する座標変換部とを備えた交流機の制御装置において、前記3相電圧指令の少なくとも1つの電圧が飽和しているか否かを検出する検出手段を設け、前記検出手段が電圧飽和を検出したときに、前記P I制御演算部の積分演算のた

めに加算する前回値を、電圧飽和後の値を目標値とし積分時定数と同じ時定数の一次遅れに変更するための演算手段と切り換え手段を備えたことを特徴とする。

【0021】

【発明の実施の形態】電流制御形のP Iアンプとしては、従来から図11のようなアナログ回路が使用されている。このアナログ回路の場合には、飽和時には図12のような挙動をしめす。

【0022】すなわち、電流指令 i^* と検出電流 i との偏差($i^* - i$)が生じると、Aの期間のように比例項が生じ、さらに積分項が増加する。そして、B期間のように、P I出力が飽和値に達すると積分項は飽和レベルを目標とする一次遅れとして動作する。最後に、C期間では一次遅れが飽和レベルに達すると、P Iアンプ出力は積分項だけとなり、比例項は零となる。

【0023】飽和状態から図中のD期間のように飽和レベルの方が変化しても、積分項は一次遅れて減少するため急激な変動にならない。そのため、直ちに直流電圧が回復した場合には、D期間以後のように積分項の変動が少なく、安定に電流制御が継続できるようになる。

【0024】そこで、本実施形態では、このP Iアンプ構成を、回転座標上で電流制御演算し、固定座標上で電圧リミット処理を行うシステムに拡張するものである。

【0025】まず、基本となる1入力1出力のP Iアンプの挙動を、式で表すと、

(1) P Iアンプ出力が飽和しないとき

$$V_{pi} = (i^* - i) \times K_p \times (1 + 1/S \cdot T_i)$$

(2) P Iアンプ出力が上限で飽和したとき

$$V_{pi} = V_{LIMIT} \times 1 / (1 + S \cdot T_i)$$

つまり、飽和の有無により2種類の挙動を示すことになる。これを離散形で近似して実現することにする。ここで、電圧飽和には上限と下限の2種類があるが、 V_{LIMIT} はどちらかが制限に引っ掛かった方のレベルを示している。

【0026】P Iアンプ出力が飽和しないときのブロック図は、図1(a)のようになる。また、P Iアンプ出力が飽和したときには、積分項は飽和リミッタ値を目標値とする一次遅れとすればよく図1(b)のようになる。

【0027】ここで、飽和/非飽和リミッタと並列にコンバレータを追加して判定し、その結果によりスイッチを切り換えることにより、積分動作と一次遅れ操作を切り替える。また、切り替えスイッチ部分を変更すると図2のようにも変形できる。

【0028】(実施例1) 実施例を図3に示す。同図が図7と異なる部分は、P I制御アンプ 2_d , 2_q を図1(b)のような構成にしたものである。電流制御のP I制御演算は回転座標上で、また、電圧リミッタ処理は固定座標上で行っている。

【0029】ここで、電圧リミッタ部 4_u , 4_v , 4_w は

3相分あるため、それぞれの相の飽和を検出するウインドウコンパレータ 7_u , 7_v , 7_w を設け、各コンパレータによる個々のリミッタ部 4_u , 4_v , 4_w の飽和検出結果の論理和をオアゲート 8 でとり、3相の内どれか一つでも飽和した場合には、P I制御アンプ 2_d , 2_q を一次遅れ側に切り替えるようにしている。

【0030】(実施例2) 実施例を図4に示す。同図はP I制御アンプ 2_d , 2_q を図2のような構成にしたものである。電流制御のP I制御演算は回転座標上で、また、電圧リミッタ処理は固定座標上で行っている。

【0031】ここで、電圧リミッタ部 4_u , 4_v , 4_w は3相分あるため、それぞれの相の飽和を検出するウインドウコンパレータ 7_u , 7_v , 7_w を設け、各コンパレータによる個々のリミッタ部 4_u , 4_v , 4_w の飽和検出結果の論理和をオアゲート 8 でとり、3相の内どれか一つでも飽和した場合には、P I制御アンプ 2_d , 2_q を一次遅れ側に切り替えるようにしている。

【0032】

【発明の効果】以上のとおり、本発明によれば、電流制御出力になる3相電圧指令の少なくとも1つの電圧が飽和したときに、P I制御演算部の積分演算のために加算する前回値を、電圧飽和後の値を目標値とし積分時定数と同じ時定数の一次遅れに変更するようにしたため、電源電圧変動など電圧リミット値に変動が発生して電流制御演算が飽和した場合でも安定に電流制御を行うことが

できる。

【図面の簡単な説明】

【図1】本発明の実施形態を説明するための位置形のP I制御アンプ構成。

【図2】本発明の実施形態を説明するための位置形のP I制御アンプ構成。

【図3】本発明の実施例1。

【図4】本発明の実施例2。

【図5】インバータの構成図。

【図6】インバータの電流制御ブロック。

【図7】従来の電流制御ブロック。

【図8】インバータの電圧出力可能領域。

【図9】電源電圧が短時間降下した場合の速度形P I制御アンプの挙動。

【図10】速度形のP I制御アンプ構成。

【図11】アナログのP I制御アンプ回路。

【図12】アナログ回路のP I制御アンプの挙動。

【符号の説明】

1, 3, 5…座標変換部

2_d , 2_q …P I制御アンプ

4_u , 4_v , 4_w …電圧リミッタ部分

6…インバータ

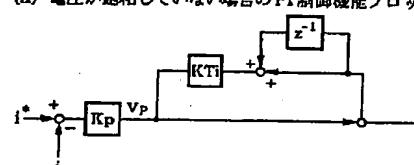
7_u , 7_v , 7_w …コンパレータ

8…オアゲート

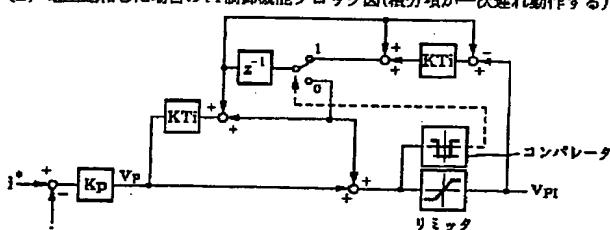
【図1】

位置形のPI制御アンプ構成

(A) 電圧が飽和していない場合のPI制御機能ブロック図

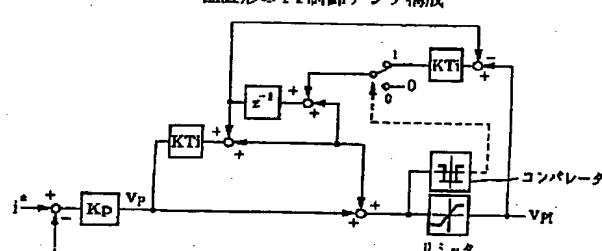


(B) 電圧飽和した場合のPI制御機能ブロック図(積分項が一次遅れ動作する)



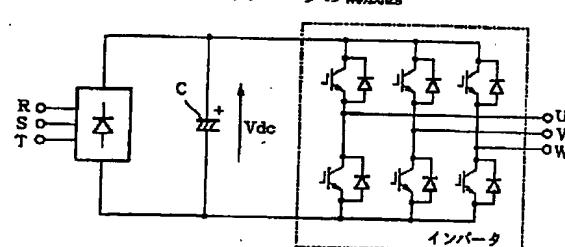
【図2】

位置形のPI制御アンプ構成



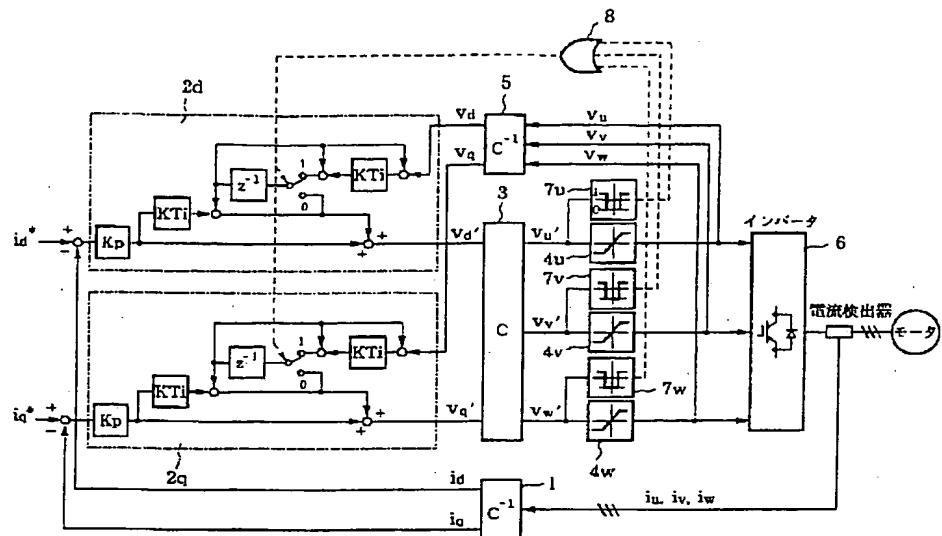
【図5】

インバータの構成図



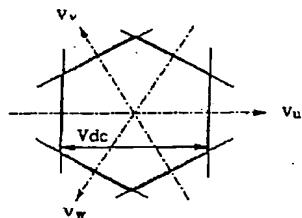
【図3】

位置形のPI制御アンプを3相制御に拡張(実施例1)



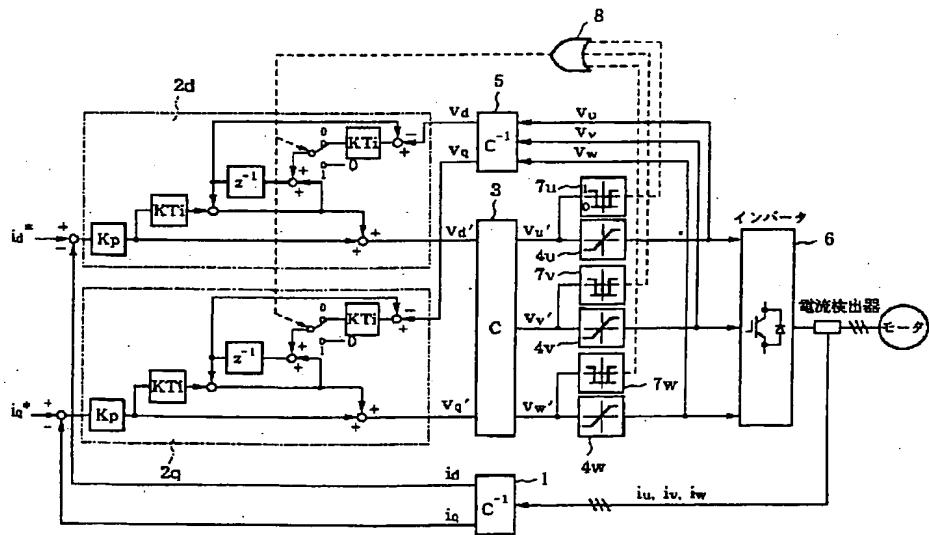
【図8】

電圧出力可能領域



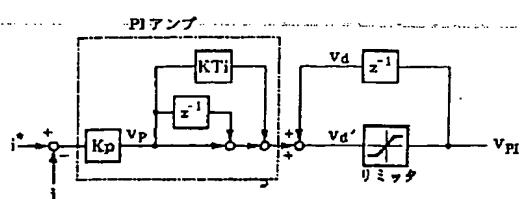
【図4】

位置形のPI制御アンプを3相制御に拡張(実施例2)

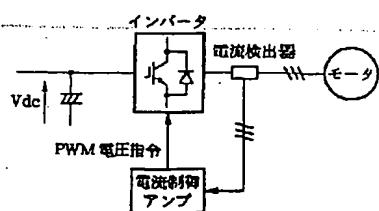


【図10】

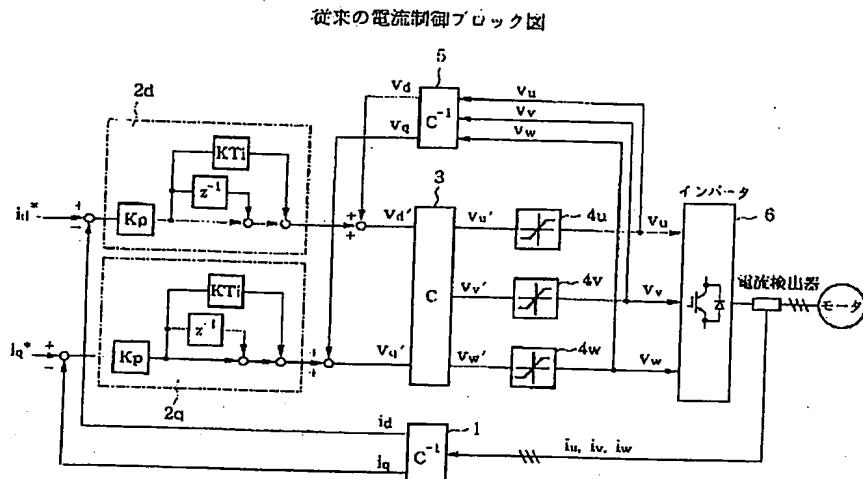
速度形のPI制御アンプ構成



電流制御ブロック図

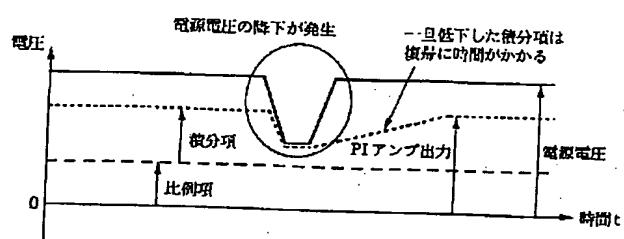


【図7】



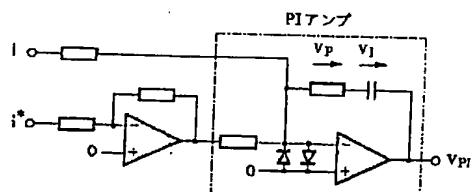
【図9】

電源電圧が短時間低下した場合の速度計PI制御アンプの挙動



【図11】

アナログのPI制御アンプ回路



【図12】

アナログ回路のPI制御アンプの挙動

